



ARQUITECTURA DE COMPUTADORES | 21010

Data e hora de realização

23 de janeiro de 2025, às 10:00 de Portugal Continental

Duração da prova

120 minutos + tolerância de 15 minutos

Temática

- Representação Digital da Informação e Funções Lógicas;
- Componentes Digitais Básicos;
- Organização Básica do Computador.

Competências:

- Compreender técnicas básicas de codificação e representação digital da informação;
- Descrever os conceitos fundamentais que estão na base dos sistemas computacionais;
- Construção de circuitos digitais de média complexidade;
- Construir programas simples em Assembly.

CrITÉRIOS de avaliação e cotação

Os critérios de avaliação são disponibilizados na plataforma Wiseflow. A prova tem 4 grupos, a cotação total de cada grupo é de 5 valores, sendo a cotação de cada uma das questões indicada junto do enunciado da mesma, entre [].

Normas a respeitar

Está a redigir a sua prova na WISEflow. A prova não será de consulta, exceto se existirem materiais ou recursos indicados pelo Professor neste enunciado.

Deve identificar claramente, e em **bold**, o número de cada questão a que está a responder. As respostas devem ser ordenadas por ordem crescente. Sendo a identificação automática, não deve inserir uma folha de rosto antes das respostas a esta prova, pois a folha de rosto será gerada automaticamente na WISEflow.

Se fizer a prova remotamente, deve ter um comportamento em tudo semelhante à realização da prova em contexto presencial num centro de exame.

Relembramos que, apesar de estar a realizar a sua prova remotamente, deve ter um comportamento em tudo semelhante à realização da prova em contexto presencial num centro de provas:

O(a) estudante em avaliação remota deve, durante a prova online realizada através da WISEflow, seguir as seguintes instruções:

- Não se pode levantar durante a prova, incluindo ir à casa de banho;
- Deve procurar um lugar calmo, onde possa estar sozinho, com as costas viradas para uma parede;
- Deve desligar o telemóvel, ou qualquer outro dispositivo informático, com o qual possa aceder à Internet;
- No caso de se tratar de uma prova sem consulta, deve retirar todas as folhas, livros ou fotocópias de cima da mesa onde realizará a prova, exceto se autorizado pelo docente;
- Durante a prova, não pode conversar com pessoas independentemente, do teor da conversa.

Assim que estiver pronto(a) para submeter a prova, deve selecionar a opção "ir para entrega" que está sinalizada a verde no canto superior direito da página.

A interpretação dos enunciados das perguntas também faz parte da sua resolução, pelo que, se existir alguma ambiguidade, deve indicar claramente como foi resolvida.

As suas respostas devem ser claras, indicando todos os passos seguidos na resolução de cada questão. Resultados apresentados sem justificação poderão incorrer num desconto de $\frac{1}{2}$ da cotação total da questão.

Apenas serão aceites digitalizações (fotografia com o dispositivo onde efetua a prova) de diagramas, circuito ou mapas de Karnaugh.

O código Assembly do P3 (único aceite nesta prova) deve estar num formato que permita a seleção de modo a ser copiado e colado diretamente para o simulador do P3.

Pode usar as orientações de "Escrita de Fórmulas em Arquitetura de Computadores", onde as respostas escrevem-se de forma mais simplificada e apenas com os parêntesis obrigatórios, sendo que a negação é uma "/" e pode omitir o símbolo de multiplicação "x", por exemplo: $/(a+/b)c$

TRABALHO A DESENVOLVER

Grupo I (5 valores)

1. Considere uma função lógica $F(A,B,C,D)$, em que A é a variável de maior peso e D a variável de menor peso. A distribuição de mintermos (m) e indiferenças (md) da função $F(A,B,C,D)$ é a seguinte:

$$\sum m(2,3,5,10,14) + \sum md(0,4,8,12)$$

1.a) [1,5v] Construa o mapa de Karnaugh e simplifique a função de modo a obter uma soma de produtos.

1.b) [0,5v] Duplique o mapa obtido na alínea anterior e simplifique a expressão de forma a obter um produto de somas.

NOTA: Na sua resolução marque os laços utilizados no mapa, e faça corresponder cada termo da função resultante com o laço que lhe dá origem. Caso contrário a resposta não se considera justificada.

2. Efetue as seguintes conversões entre bases numéricas:

2.a) [0,5v] Represente o número $F3C_h$ em base 8. Apresente os cálculos.

2.b) [0,5v] Represente o número 732_8 em base 10. Apresente os cálculos.

3. Efetue as seguintes conversões:

3.a) [1v] Represente o número -120 em binário com 8 bits, utilizando a técnica de complemento para 2. Apresente os cálculos.

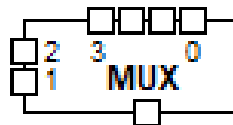
3.b) [1v] Represente o número $0,9375_{10}$ na base 20. Apresente os cálculos.

Grupo II (5 valores)

Considere a seguinte função lógica de três variáveis $F(A,B,C)$:

$$F(A,B,C,D) = (A + \overline{B})(\overline{A} + C) + \overline{\overline{A}B} + B\overline{C}$$

4. [1,5v] Simplifique algebricamente a função F . Apresente os cálculos.
5. [1v] Indique uma expressão lógica que implemente a função F utilizando apenas portas NAND, desenhando o circuito correspondente.
6. [1v] Indique uma expressão lógica que implemente a função F utilizando apenas portas NOR, desenhando o circuito correspondente.
7. [1,5v] Implemente a função recorrendo a um *multiplexer* de 2 variáveis de seleção, em que a variável $S_1=A$, não se restringindo as restantes variáveis de seleção.



Grupo III (5 valores)

Considere um sistema sequencial síncrono, com duas entradas e uma saída. A saída deverá ser 0, exceto se os últimos três valores na entrada 1 tiverem sido *101*. Nesta situação, a saída deverá ter o mesmo valor da entrada 2.

Exemplo de funcionamento:

Entrada 1	Entrada 2	Saída
1	0	0
0	0	0
1	0	0
0	1	0
1	1	1
0	1	0
1	0	0
0	1	0
1	0	0

A sequência 101 ocorreu quatro vezes, na primeira ocorrência a entrada 2 estava a zero, tendo-se colocado a saída a 0. Na segunda ocorrência a entrada 2 estava a um, tendo-se colocado a saída a 1.

8. [2v] Determine e desenhe o diagrama de estados.
9. [2v] Construa a tabela de transição de estados correspondente ao diagrama de estados.
10. [1v] Simplifique as variáveis de saída. Apresente os cálculos.

Grupo IV (5 valores)

11. [2v] Escreva as instruções, em assembly do P3, que implementam as seguintes funcionalidades:

11.a) [0,5v] Colocar no octeto menos significativo de R1 o octeto menos significativo de R2.

11.b) [0,5v] Colocar na posição de memória em "M" o conteúdo de R1.

11.c) [0,5v] Chamada condicional à subrotina "rotina", se a última operação aritmética/lógica teve resultado zero.

11.d) [0,5v] Coloca na pilha o conteúdo de R2.

12. [3v] Elabore um programa no assembly do P3. O programa recebe uma frase em R1 com um conjunto de letras. O programa deve contar todas as vogais minúsculas sem acentos que encontra na frase e apresentar o resultado hexadecimal da contagem em R3.

Exemplo:

R1 = 'Arquitetura de Computadores'

R3 = 11

Pretende-se que conte as vogais (a verde) em: 'Aruitetura de Computadores'

Este caso de teste ficaria com R3 = 11

Anexo

Primeiras potências de 2:

1	2	4	8	16	32	64	128
256	512	1024	2048	4096	8192	16384	32768

Conjunto de instruções do Processador P3:

Aritméticas	Lógicas	Deslocamento	Controlo de fluxo	Transferência de dados	Diversas
NEG	COM	SHR	BR	MOV	NOP
INC	AND	SHL	BR.cond	MVBH	ENI
DEC	OR	SHRA	JMP	MVBL	DSI
ADD	XOR	SHLA	JMP.cond	XCH	STC
ADDC	TEST	ROR	CALL	PUSH	CLC
SUB		ROL	CALL.cond	POP	CMC
SUBB		RORC	RET		
CMP		ROLC	RETN		
MUL			RTI		
DIV			INT		

Conjunto de condições de salto:

Condição	Mnemónica
Zero	Z
Não Zero	NZ
Transporte (Carry)	C
Não Transporte	NC
Negativo	N
Não Negativo	NN
Excesso (Overflow)	O
Não Excesso	NO
Positivo	P
Não Positivo	NP
Interrupção	I
Não Interrupção	NI